

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-075516

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

G01F 1/66

(21)Application number : 06-239503

(71)Applicant : TOKYO KEISO CO LTD

(22)Date of filing : 07.09.1994

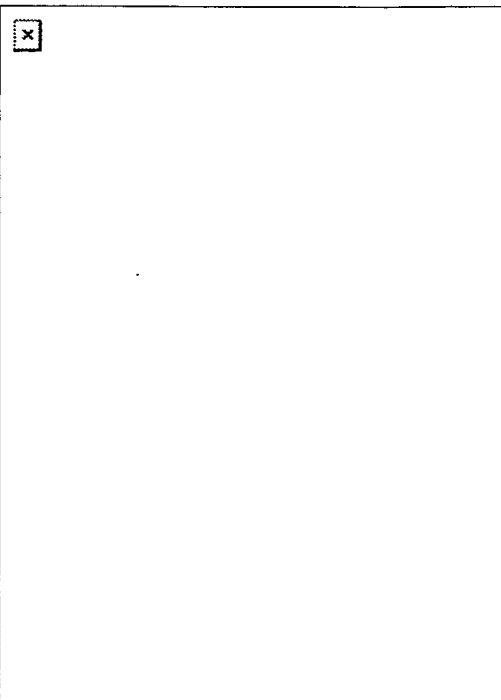
(72)Inventor : KOBAYASHI TAMOTSU

(54) PHASE LOCKED LOOP AND ULTRASONIC FLOWMETER

(57)Abstract:

PURPOSE: To obtain an inexpensive phase locked loop and an ultrasonic flowmeter having simple circuitry where a special phase comparator is not employed.

CONSTITUTION: A phase comparator 101 comprises a sequential circuit 5 for phase comparison having two input terminals receiving an input signal R and a feedback signal V and two output terminals 6, 7 delivering outputs for advancing or delaying the phase of a feedback signal through a loop filter and a voltage controlled oscillator, a charge pump circuit 8 receiving outputs U, D from two output terminals to synthesize a single phase comparator output, detectors 15, 15' connected, respectively, with two output terminals in order to detect convergence or divergence of the output by measuring the duration of '1' and '0' states of output signal, and an operating circuit 16 for subjecting the input signal R or the feedback signal V to a predetermined alteration in logical value based on an output from the detection circuit thus altering the polarity of the output signal from the sequential circuit 5.



LEGAL STATUS

[Date of request for examination] 21.08.1996

[Date of sending the examiner's decision of

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-75516

(43)公開日 平成8年(1996)3月22日

(51)IntCl.⁶

G 0 1 F 1/66

識別記号

1 0 1

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2 F D (全 10 頁)

(21)出願番号 特願平6-239503

(22)出願日 平成6年(1994)9月7日

(71)出願人 390026996

東京計装株式会社

東京都港区芝公園1丁目7番24号

(72)発明者 小林 保

神奈川県横浜市磯子区洋光台6-36-17

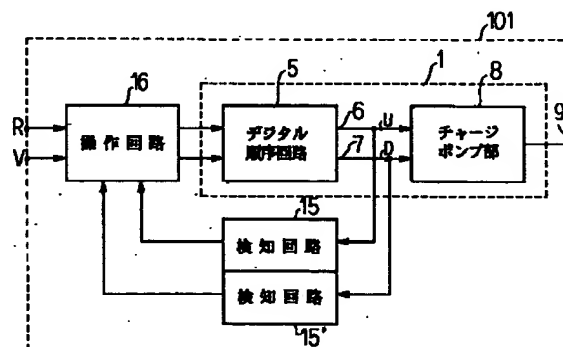
(74)代理人 弁理士 前田 清美

(54)【発明の名称】 位相同期ループおよび位相同期式超音波流量計

(57)【要約】

【目的】特殊な位相比較器を使用する必要がなく、簡単な回路で安価な位相同期ループおよび超音波流量計を提供する。

【構成】位相比較器101を、入力信号Rおよび帰還信号Vの2信号を受ける2つの入力端子と、ループフィルタおよび電圧制御発振器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子6、7をもつ位相比較のための順序回路5と、この2つの出力端子からの出力U、Dを受けて単一の位相比較器出力を合成するチャージポンプ回路8と、それぞれ上記2出力端子に接続されて出力信号の"1"および"0"の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する検知回路15、15'と、この検知回路の出力により上記入力信号Rまたは帰還信号Vに所要の論理値変更操作を加えて上記順序回路5の出力信号の極性を変更する操作回路16で構成する。



1

【特許請求の範囲】

【請求項1】(a) 入力信号と帰還信号の2信号を受け、両信号の位相を比較してその位相差に応じた出力信号を与える位相比較器と、この位相比較器からの出力を平滑するためのループフィルタと、ループフィルタ出力により発振周波数が制御される電圧制御発振器とを備え、

(b) 上記位相比較器が、(b-1) 上記2信号を受ける2つの入力端子と、ループフィルタおよび電圧制御発振器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子をもつ位相比較のための順序回路、(b-2) この2つの出力端子からの出力を受けて単一の位相比較器出力を合成するチャージポンプ回路、(b-3) それぞれ上記2出力端子に接続されて出力信号の”1”および”0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する検知回路、(b-4) この検知回路の出力により上記入力信号または帰還信号に所要の論理値変更操作を加えて上記順序回路の出力信号の極性を変更する操作回路、とを具備することを特徴とする位相同期ループ。

【請求項2】(a) 入力信号の帰還信号と2信号を受け、両信号の位相を比較してその位相差に応じた出力信号を与える位相比較器と、この位相比較器からの出力を平滑するためのループフィルタと、ループフィルタ出力により発振周波数が制御される電圧制御発振器と、この電圧制御発振器の出力を分周して帰還信号とする分周器とからなる位相同期ループ、

(b) 流体の流れる管路に対向して斜めに取り付けた1対の超音波振動子、

(c) 上記分周器からの出力により一方の振動子を励振して超音波を送信させる励振回路、

(d) 他方の振動子に発生する超音波受信信号を増幅してその出力を上記位相比較器の入力信号とする増幅器、

(e) 上記1対の振動子の送・受信を切り換える切換器、を備え、

(f) 上記位相同期ループにおける位相比較器が、(f-1) 上記入力信号と帰還信号の2信号を受ける2つの入力端子と、ループフィルタ、電圧制御発振器および分周器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子をもつ位相比較のための順序回路、(f-2) この2つの出力端子からの出力を受けて単一の位相比較器出力を合成するチャージポンプ回路、(f-3) それぞれ上記2出力端子に接続されて出力信号の”1”および”0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する検知回路、(f-4) この検知回路の出力により上記入力信号または帰還信号に所要の論理値変更操作を加えて上記順序回路の出力信号の極性を変更する操作回路、とを具備することを特徴とする位相同期式超音波流量計。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】 本発明は位相同期ループ（フェーズロックドループ、PLLと略記される）の改良に係るものであり、特にPLL方式超音波流量計に適したPLL用位相比較器に関する。

【0002】

【従来の技術】 図7は一般のPLLの構成を示し、図8は従来のPLLに使用されている位相比較器の回路図を示し、以下その概要を説明する。図7において、符号1は入力信号Rおよびループの帰還信号Vを受け、両信号の周波数が異なる場合には周波数差に、周波数が同一の場合には両信号の位相差に対応した出力信号を与える位相比較器である。

【0003】 2は前記出力を平滑するローパスフィルタ、3はローパスフィルタからの出力により発振周波数が制御される電圧制御発振器（VCOと略記）であり、その発振周波数は通常比較的高い。4はVCOからの出力の周波数を分周するための分周器であり、その出力は位相比較器への帰還信号Vとなる。VCO出力はしばしばPLLの出力として利用され、また用途によっては分周器4は省略されることもある。

【0004】 図8はPLLに通常使用される位相比較器1の回路例を示す。同回路の左半分は位相比較のためのデジタル順序回路5で構成され、信号RおよびVの位相差に応じたオン・オフ出力を端子6（信号をUと略記）および端子7（信号をDと略記）に与え、各端子からは信号U、Dが出力される。

【0005】 また符号8で示す右半分はチャージポンプ部であり、前記端子6および7の各電圧に応じた単一の位相比較出力を合成して端子9より後段のループフィルタに与える。

【0006】 PLLはこのような構成されているので、入力信号Rに対し帰還信号Vはまず周波数の追従を行い、周波数が同一になると位相追従に入り、両信号の位相が一致したいわゆる同期状態に達することができる。したがって周波数逡倍、周波数合成等広い範囲で有用に利用されている。

【0007】

【発明が解決しようとする課題】 しかしながら前述のような通常の位相比較器を使用したPLLが有効に動作しない場合があり、以下これを説明する。フリップフロップを含む順序回路5は現在のR、V信号のみで出力U、Dが決まるのではなく、過去の経過に関係する。

【0008】 4つの信号R、V、U、Dはいずれも時間的に変化する”1”、”0”の論理信号で、その組み合わせは16通りあり、そのうち安定なのは12通りである。この12通りの状態間には互いに移行可能な方向があり、この関係を示したのが図9である。

【0009】 ここでRおよびVのデューティが小さく、かつ両者間の位相差も180°に比べ小さいときの波形と図9の状態間の対応関係を図10に示す。ただし使用

3

している位相比較器はRおよびVの立ち下がりを検出する型のものであり、出力UおよびDは”0”状態がチャージポンプ8を通して有効出力となるよう構成されている。

【0010】図10においてRに対しVの位相が遅れている場合、U側に”0”状態が現れてVの位相を進めるいわば収斂極性と呼ぶ出力状態と、逆にD側に長い”0”状態が現れ、Vの位相を更に遅らすいわば発散極性と呼ぶべき出力形態とが存在し、どちらの形態をとるかは過去の経過による。

【0011】図10の右半分に収斂極性のパスを実線、発散極性のパスを破線で示す。Rに対しVの位相が進んでいる場合にも同様な状況が存在する。一般のPLL応用例では入力信号RはPLLと独立しているので、たとえばここでいう発散極性の出力が現れて遅れている帰還信号Vの位相が更に遅れても、360°に達すれば結局同期状態に入ることができて、何ら差し支えない。したがって一般には出力の極性は区別して扱わない。

【0012】しかしながら入力信号Rが帰還信号Vの影響を受けて問題を生ずる場合の具体例を図11に示すPLL方式の超音波流量計につき説明する。同図の符号1〜4は図7に示すPLLの構成要素と同一であるので、説明は省略する。

【0013】図中の符号10は計測すべき流体が流れる管路、11、11'はこれに斜めに対向して取り付けた1対の超音波振動子であり、交互に一方が送信子、他方が受信子として作動する。

【0014】また、符号12はPLL内の分周器4の出力に同期してパルスが発生し、一方の振動子を励振して超音波を送信させる励振回路、13は流体中を伝播した超音波が他方の振動子に検出されて発生する超音波受信信号を増幅する増幅器であり、14は超音波振動子11および励振回路12を切り換えて超音波の伝播方向を切り換えるための切換器である。

【0015】PLL方式の超音波流量計の測定原理は既に公知であり、ここでは詳細には触れないが、要はPLLの同期状態において入力信号Rすなわち受信子の受信波と帰還信号V、すなわち送信子の送信波とが同相になる周波数で系が自己発振し、その発振周波数は超音波の流体内伝播時間Tの逆数となることを利用する。

【0016】ところで以上の説明で明らかのように、ここではPLLの入力信号Rは電気的には帰還信号Vを遅延時間Tの遅延回路を通して得たものと等価であり、互いに独立していない。

【0017】したがってこのPLLに通常の位相比較器を使用すると、その出力が上述の収斂極性の場合PLLは正常に同期状態に達し、所期の伝播時間の逆数に等しい出力周波数が得られるが、発散極性の場合には帰還信号Vの位相変化により入力信号Rの位相も従属して変化するので、同期状態に達する機会がない。

4

【0018】すなわちラン・アウエイが起り、ループフィルタ出力が最大値または最小値をとった状態に至る。ここでは同期状態は実現せず、したがって計測目的は達成されない。

【0019】このため、従来のPLL式超音波流量計は特殊な位相比較器を開発して使用するか、あるいは特殊に変形したPLLを採用する必要がある、回路が複雑、高価であった。

【0020】

10 【課題を解決するための手段】本発明は以上の課題を解決するためになされたもので、本発明に係る位相同期ループは、入力信号と帰還信号との2信号を受け、両信号の位相を比較してその位相差に応じた出力信号を与える位相比較器と、この位相比較器からの出力を平滑するためのループフィルタと、ループフィルタ出力により発振周波数が制御される電圧制御発振器とを備え、上記位相比較器が、上記2信号を受ける2つの入力端子と、ループフィルタおよび電圧制御発振器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子をもつ位相比較のための順序回路と、この2つの出力端子からの出力を受けて単一の位相比較器出力を合成するチャージポンプ回路と、それぞれ上記2出力端子に接続されて出力信号の”1”および”0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する検知回路と、この検知回路の出力により上記入力信号または帰還信号に所要の論理値変更操作を加えて上記順序回路の出力信号の極性を変更する操作回路を設けたものとしてある。

20 【0021】また、本発明に係る位相同期式超音波流量計は、入力信号と帰還信号の2信号を受け、両信号の位相を比較してその位相差に応じた出力信号を与える位相比較器と、この位相比較器からの出力を平滑するためのループフィルタと、ループフィルタ出力により発振周波数が制御される電圧制御発振器と、この電圧制御発振器の出力を分周して上記帰還信号とする分周器とからなる位相同期ループと、流体の流れる管路に対向して斜めに取り付けた1対の超音波振動子と、上記分周器からの出力により一方の振動子を励振して超音波を送信させる励振回路と、他方の振動子に発生する超音波受信信号を増幅してその出力を上記位相比較器の入力信号とする増幅器と、上記1対の振動子の送・受信を切り換える切換器とを備え、上記位相同期ループにおける位相比較器が、上記入力信号と帰還信号を受ける2つの入力端子と、ループフィルタ、電圧制御発振器および分周器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子をもつ位相比較のための順序回路と、この2つの出力端子からの出力を受けて単一の位相比較器出力を合成するチャージポンプ回路と、それぞれ上記2出力端子に接続されて出力信号の”1”および”0”の状態の時間の大小関係を計測して出力の収斂また

5

は発散極性を検知する検知回路と、この検知回路の出力により上記入力信号または帰還信号に所要の論理値変更操作を加えて上記順序回路の出力信号の極性を変更する操作回路とを具備するものである。

【0022】上記手段の実施態様は次のとおりである。

【0023】＜実施態様1＞上記入力信号および帰還信号間の位相差が 180° 以下となるよう構成するとともに、上記検知回路としては外部より与えられるクロック信号を受けて上記順序回路の出力が“1”の状態中はアップカウントを行い、“0”の状態中ではダウンカウントを行い、このカウンタのゼロ出力により“0”の状態の時間が“1”の状態の時間を越えたことを検知するアップダウンカウンタを具備する。

【0024】＜実施態様2＞上記入力信号および帰還信号間の位相差が 180° 以下となるよう構成するとともに、上記検知回路としては外部より与えられるクロック信号を受けて上記順序回路の出力が“0”の状態中にアップカウントを行い、このカウンタのオーバーフロー出力により“0”の状態の時間が“1”の状態の時間の起こり得る最大値を超えたことを検知するアップカウンタ

を具備する。

【0025】＜実施態様3＞上記入力信号および帰還信号のデューティ比が小さく、かつ両信号間の位相差が 180° 以下となるよう構成するとともに、上記操作回路としては、上記検出回路の出力を受けて2個のパルスを発生するダブルパルス発生回路と、この回路出力と入力信号または帰還信号とのアンド出力を上記順序回路のそれぞれの入力端に与える論理回路とを具備する。

【0026】

【作用】検知回路により位相比較のための順序回路の出力が発散極性となるのを検知し、さらにこれに接続される操作回路により上記順序回路の入力信号または帰還信号に論理値の変更操作を加えてその出力の極性を収斂極性に変更するので、発散極性の出力がループフィルタに与えられるのを防止することができる。

【0027】位相同期式超音波流量計においては発散極性の出力がループフィルタに継続して与えられることがないので、上述のラン・アウェイ現象が防止され、同期状態は常に実現する。すなわち性能の優れる安価な通常の位相比較器を利用できて有効である。

【0028】

【実施例】以下第1の本発明の実施例につき図1により説明する。なお、同図において符号1～9は図7および8の符号に対応するので、説明は省略する。

【0029】図中の符号15、15'はデジタル順序回路5の出力端6、7に接続されて出力信号の“1”および“0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する検知回路、16は検知回路15の出力により入力信号Rまたは帰還信号Vに、後述する所要の論理値変更操作を加えてデジタル順序回路5の

6

出力信号の極性を変更する操作回路であり、本発明のPLLにおける位相比較器101はデジタル順序回路5とチャージポンプ部8とで構成される従来の位相比較器1に、検知回路15、15'と操作回路16を設けたものとしてある。

【0030】まずRに対しVが遅れている場合を説明すれば、図9に示すように、収斂極性では出力Uの“0”状態時間に比べると発散極性の出力Dの“0”の状態の時間は長い。同様の特徴は入力信号Rに対し帰還信号Vが進んでいる場合にも見られる。

【0031】そこで例えば出力Uに着目すると“0”の状態が“1”の状態より長いときは発散極性、逆のときは収斂極性となることが読み取れる。すなわち出力Uの“1”および“0”の状態の時間の大小関係、すなわち両者の比または差を計測すれば、その発散極性が検知できる。Dについても同様に15の検知回路と同じ構成の検知回路15'により検知できる。

【0032】検知回路15、15'のより詳細な例を図2に、別の例を図3に示す。図2は検知回路15としてアップダウンカウンタを使用した例を示し、符号17はUの論理値を反転するためのインバータ、18および19はアンド回路、20は外部より与えられるクロック信号を受けるクロック端子、21はアップダウンカウンタ、22はそのアップカウント用クロック入力端子、23はダウンカウント用クロック入力端子、24はボロー出力端子、25は21のリセットのためのワンショット回路である。

【0033】信号Uが“1”のときにはアンド回路18を通してクロック信号が入力端子22に加わり、アップダウンカウンタ21はアップカウントを行う。この間アンド回路19は遮断状態にある。

【0034】次に出力信号Uが“0”の状態になるとアンド回路18は遮断状態となり、クロック信号はアンド回路19を通して入力端子23に加わり、アップダウンカウンタ21はダウンカウントを行う。収斂極性出力では“0”の状態の時間は短いので、ボロー出力が出ることはないが、発散極性出力の場合には“0”の状態が長いので、その状態が“1”の状態に相当する時間続いた後に、ボロー出力がボロー出力端子24に現れて出力Uが発散極性であることを示す。

【0035】ワンショット回路25は出力Uが“1”に反転したときにパルスを発生し、アップカウントに先立ってアップダウンカウンタ21をリセットする働きをもつ。

【0036】図3に示す検知回路15の他の例は図11に示した位相同期式超音波流量計において、電圧制御発振器3の出力周波数レンジを比較的狭く設定した場合に好適な簡素化された回路を示し、26はアップカウンタ、27はそのリセット入力端子、28は外部より与えられるクロック信号を受けるクロック端子、29はオー

パーフロー信号の出力端子である。

【0037】アップカウンタ26は出力Uが”1”の状態ではカウンタはリセットされ、カウント動作も禁止されるが、”0”の状態ではクロック端子28に与えられるクロックをアップカウントする。

【0038】アップカウンタ26の桁数とクロックの周波数を適当に選び、収斂極性の”0”の状態の時間（これは発散極性の”1”の状態の時間に等しい）の最大値ではオーバーフローは起こらず、これを若干超えてオーバーフローが起こるようにすれば、発散極性の検知が可能であり、かつ収斂極性出力に悪影響を及ぼすこともない。

【0039】次に本発明における操作回路16につき、図4に示す位相比較器101の具体例によって説明する。同図において符号1から26までは図3、7、8の符号に対応するものであるので、説明は省略する。

【0040】図中の符号26'はアップカウンタ26と同様のアップカウンタで、出力Dの検出器15'に相当し、29'はそのオーバーフロー出力端子である。符号30は29または29'に現れるオーバーフロー出力に
20 応じて2個のパルスを発生するダブルパルス発生回路であり、その構成はアンド回路31、31'およびインバータ32、32'とからなり、33、33'はその出力端子である。

【0041】符号34はダブルパルス発生回路30の出力により入力信号Rまたは帰還信号Vに論理演算を施すための論理回路であり、その構成はアンド回路35および35'よりなり、アンド回路35、35'の出力はそれぞれR'、V'とする。図1に示す操作部11は、上述したダブルパルス発生回路30および論理回路34で
30 構成されている。

【0042】図4に示す例は図10に示す波形のR、V入力に適用して好適であり、アップカウンタ26、26'としてはBCDカウンタを使用してそのオーバーフロー出力がクロック信号の2周期分のパルス幅をもつことを利用する。したがって出力端子29、29'より得られるオーバーフロー出力とクロック信号とのアンド出力は正のクロックの2パルスとなる。

【0043】図10に示す例で述べたように、状態#11または#3で発散極性を検出したときにそれぞれRまたはVを2回”0”の状態に変更すればよいので、アンド回路31、31'の出力をインバータ32、32'で論理値反転してインバータ32の出力はアンド回路35'に、インバータ32'の出力はアンド回路35に加える。この結果デジタル順序回路5の出力は発散極性から収斂極性に移行する。図5はこのときの信号の波形で、信号R、VはRに対しVの位相が遅れている場合を示し、出力U、Dは発散極性の波形につきロー出力端子24の操作が行われない場合を実線で示してある。オーバーフロー出力端子29の出力はDが”0”の状態を
50

とってからその”1”の状態に相当する時間幅を超えた時刻にクロックの2パルス幅相当の正のオーバーフローパルスを出すので、結局出力端子33'の出力波形は”1”の状態から2回”0”の状態に落ちる波形となる。さらにこの出力とRとのアンド出力R'も2回対応して”0”状態になる。これにより前述したように状態は#11から#6に移り、ここで出力Dは”0”から”1”への変化を受け、さらに#7を経て#2に至るとUが”1”から”0”へと変化し、状態は#3に達する。このときのR'およびV'を図5に示す。また、出力U、Dの操作後の波形を破線で示す。U、DともRおよびVの以降のサイクルでは収斂極性出力となる。

【0044】図4の例では操作部16としてダブルパルス発生回路30と論理回路34の組み合わせとしたが、ダブルパルス発生回路30の代わりに1対のシフトレジスタを使用すればこの例よりも複雑な論理値変更操作を行うこともできる。

【0045】また、マイクロプロセッサにより上述の検知回路15、15'や操作回路16の機能を代行することも可能である。さらに本発明では出力信号U、Dを利用したが、代わりにチャージポンプ回路8の出力を利用することもできる。ただしこの場合に利用する出力はデジタル順序回路5の出力端子6からの出力か、7からの出力か別の手段により決める必要がある。

【0046】次に第2の本発明に係る超音波流量計を図6により説明する。なお、図において符号1~4および10~14は、図11の符号に対応し、符号15、15'、16は図1の符号に対応するので、説明は省略する。

【0047】本発明と図11の従来例との差は特殊に開発した位相比較器を必要とすることなく、図1に示す位相比較器101の順序回路5の出力U、Dの発散極性を検知回路15、15'で検知して操作回路16により入力信号Rまたは帰還信号Vに所要の論理値変更操作を加えるので、短時間中に発散極性は収斂極性に変更される。したがっていわゆるラン・アウェイ現象は起こらず、正常な計測が可能となる。

【0048】本発明に係る位相同期ループは超音波流量計以外にも利用可能である。すなわち、図6において励振回路12、増幅器13間を電氣的遅延回路に置き換えれば、本回路は電圧制御発振器3の出力周波数から高い分解能での遅延時間（の逆数）の計測を可能とするものである。

【0049】また、図6において流体の流速がゼロのときの電圧制御発振器3の出力周波数から流体中の音速を高い分解能で計測することができる。さらに、音速の温度特性が既知の流体を使用して音速から流体の温度を高い分解能で計測することも可能である。

【0050】

【発明の効果】以上実施例とともに説明したように請求

9

項 1 に記載された本発明によれば、位相比較器中の順序回路出力より発散極性出力を検知して位相比較器入力または帰還信号を操作することにより発散極性を収斂極性に変更することができるので、入力信号と帰還信号とが互いに独立していない応用例において有効に位相同期ループを適用することができる。

【0051】また、実施態様 1、2、3 に示した実施例によれば、比較的安価で簡単な回路構成の位相同期ループを得ることができ、さらに、請求項 2 に記載された本発明によれば、特殊な位相比較器や変形回路を使用せず 10 に、ラン・アウェイ現象を防止し、正常な計測を可能にすることができる。

【図面の簡単な説明】

【図 1】本発明に係る位相同期ループにおける位相比較器の構成を示す図。

【図 2】検知回路の実施例を示す回路図。

【図 3】検知回路の他の実施例を示す回路図。

【図 4】本発明に係る位相同期ループにおける位相比較器の回路図。

【図 5】入出力信号の波形図。

【図 6】本発明に係る位相同期式超音波流量計の構成図。

【図 7】位相同期ループの基本構成図。

【図 8】従来の位相同期ループに使用される比較器の構成図。

【図 9】位相比較のための順序回路の動作状態の説明図。

【図 10】入出力波形と動作状態の対応説明図。

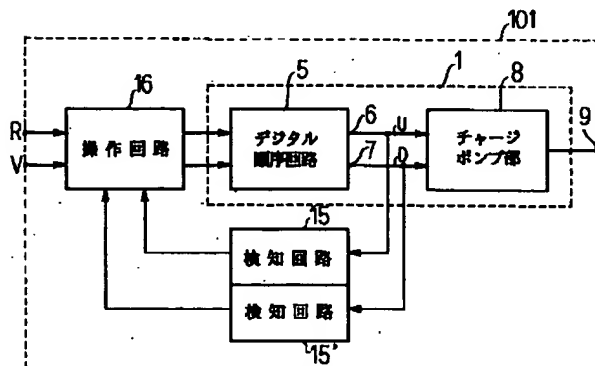
【図 11】位相同期式超音波流量計の基本構成図。

【符号の説明】

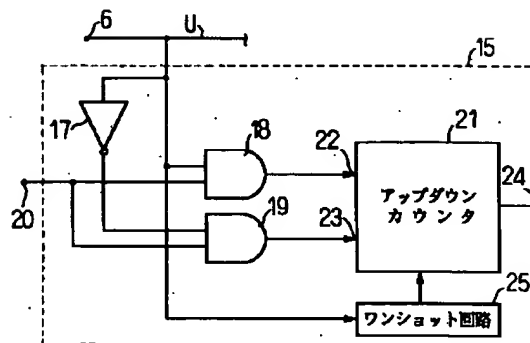
- 1 位相比較器
- 2 ローパスフィルタ

- 3 電圧制御発振器
- 4 分周器
- 5 デジタル順序回路
- 6、7 オン・オフ出力端子
- 8 チャージポンプ部
- 9 位相比較出力端子
- 10 管路
- 11、11' 超音波振動子
- 12 励振回路
- 13 増幅器
- 14 切換器
- 15、15' 検知回路
- 16 操作回路
- 17 インバータ
- 18、19 アンド回路
- 20 クロック端子
- 21 アップダウンカウンタ
- 22 アップカウント用クロック端子
- 23 ダウンカウント用クロック端子
- 24 ボロー出力端子
- 25 ワンショット回路
- 26、26' アップカウンタ
- 27 リセット入力端子
- 28 クロック端子
- 29、29' オーバーフロー出力端子
- 30 ダブルパルス発生回路
- 31、31' アンド回路
- 32、32' インバータ
- 33、33' 出力端子
- 34 論理回路
- 35、35' アンド回路
- 101 位相比較器

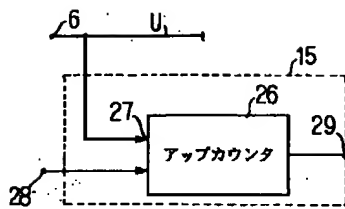
【図 1】



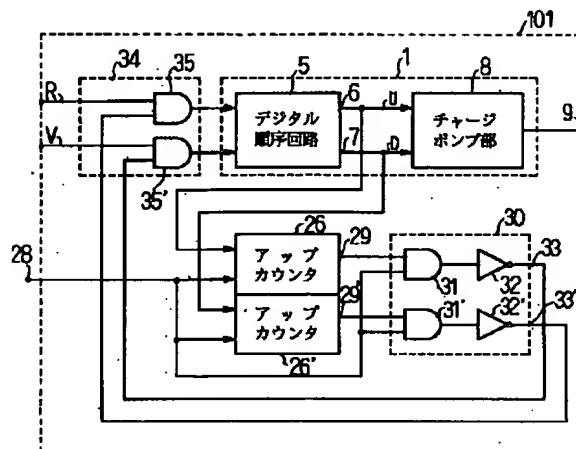
【図 2】



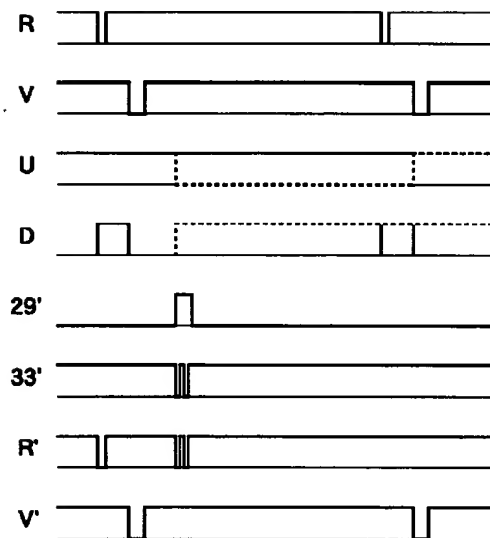
【図3】



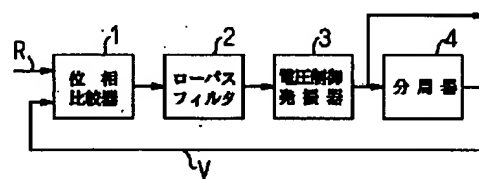
【図4】



【図5】



【図7】



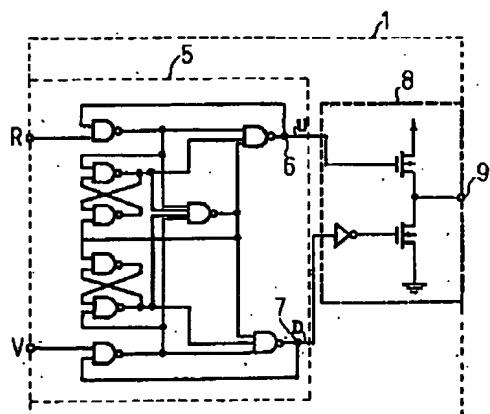
【図9】

入力状態		出力状態	
		U	D
8 00	10 01	1	0
12 10	11 11		
6 00	8 01	1	1
8 10	7 11		
8 11	2 01	0	1
4 10	0 00		

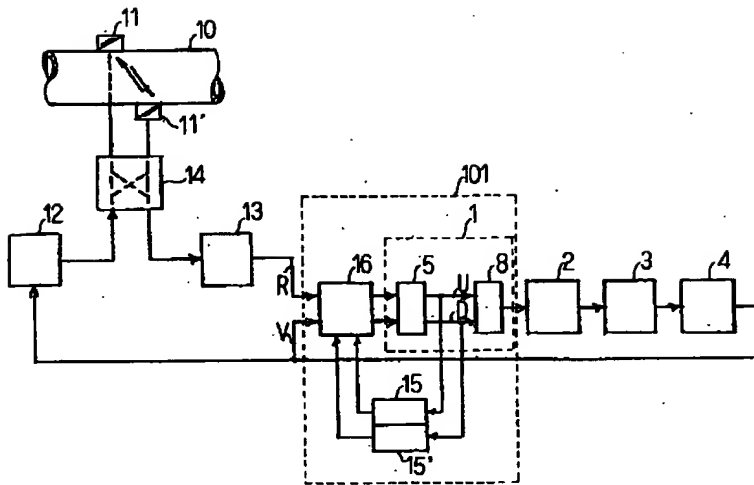
注 O内の記号

n 状態の番号
 00 入力端子Vの信号
 10 入力端子Rの信号

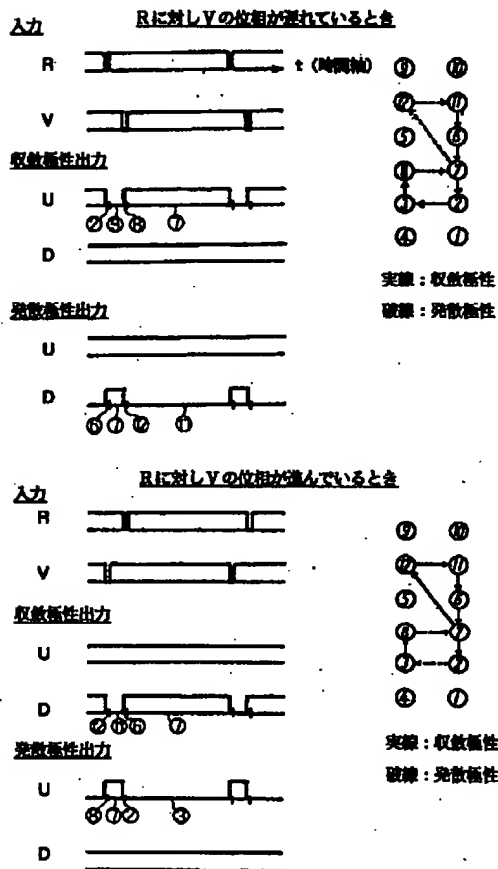
【図8】



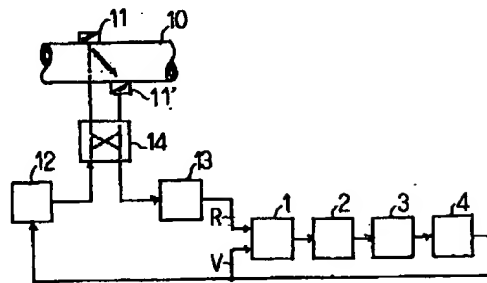
【図6】



【図10】



【図11】



【手続補正書】

【提出日】平成6年10月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】(a)入力信号と帰還信号の2信号を受け、両信号の位相を比較してその位相差に応じた出力信号を与える位相比較器と、この位相比較器からの出力を平滑するためのループフィルタと、ループフィルタ出力により発振周波数が制御される電圧制御発振器とを備え、

(b)上記位相比較器が、(b-1)上記2信号を受ける2つの入力端子と、ループフィルタおよび電圧制御発振器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子をもつ位相比較のための順序回路、(b-2)この2つの出力端子からの出力を受けて単一の位相比較器出力を合成するチャージポンプ回路、(b-3)それぞれ上記2出力端子に接続されて出力信号の“1”および“0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する1対の検知回路、(b-4)この検知回路の出力により上記入力信号または帰還信号に所要の論理値変更操作を加えて上記順序回路の出力信号の極性を変更する操作回路、とを具備することを特徴とする位相同期ループ。

【請求項2】(a)入力信号と帰還信号の2信号を受け、両信号の位相を比較してその位相差に応じた出力信号を与える位相比較器と、この位相比較器からの出力を平滑するためのループフィルタと、ループフィルタ出力により発振周波数が制御される電圧制御発振器と、この電圧制御発振器の出力を分周して帰還信号とする分周器とからなる位相同期ループ、

(b)流体の流れる管路に対向して斜めに取り付けた1対の超音波振動子、

(c)上記分周器からの出力により一方の振動子を励振して超音波を送信させる励振回路、

(d)他方の振動子に発生する超音波受信信号を増幅してその出力を上記位相比較器の入力信号とする増幅器、

(e)上記1対の振動子の送・受信を切り換える切換器、を備え、

(f)上記位相同期ループにおける位相比較器が、(f-1)上記入力信号と帰還信号の2信号を受ける2つの入力端子と、ループフィルタ、電圧制御発振器および分周器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子をもつ位相比較のための順序回路、(f-2)この2つの出力端子からの出力を受けて単一の位相比較器出力を合成するチャージポンプ回路、(f-3)それぞれ上記2出力端子に接続さ

れて出力信号の“1”および“0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する1対の検知回路、(f-4)この検知回路の出力により上記入力信号または帰還信号に所要の論理値変更操作を加えて上記順序回路の出力信号の極性を変更する操作回路、とを具備することを特徴とする位相同期式超音波流量計。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】また、符号12はPLL内の分周器4の出力に同期してパルスを発生し、一方の振動子を励振して超音波を送信させる励振回路、13は流体中を伝播した超音波が他方の振動子に検出されて発生する超音波受信信号を増幅する増幅器であり、14は超音波振動子11および11'を切り換えて超音波の伝播方向を切り換えるための切換器である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】

【課題を解決するための手段】本発明は以上の課題を解決するためになされたもので、本発明に係る位相同期ループは、入力信号と帰還信号との2信号を受け、両信号の位相を比較してその位相差に応じた出力信号を与える位相比較器と、この位相比較器からの出力を平滑するためのループフィルタと、ループフィルタ出力により発振周波数が制御される電圧制御発振器とを備え、上記位相比較器が、上記2信号を受ける2つの入力端子と、ループフィルタおよび電圧制御発振器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子をもつ位相比較のための順序回路と、この2つの出力端子からの出力を受けて単一の位相比較器出力を合成するチャージポンプ回路と、それぞれ上記2出力端子に接続されて出力信号の“1”および“0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する1対の検知回路と、この検知回路の出力により上記入力信号または帰還信号に所要の論理値変更操作を加えて上記順序回路の出力信号の極性を変更する操作回路を設けたものとしてある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】また、本発明に係る位相同期式超音波流量計は、入力信号と帰還信号の2信号を受け、両信号の位相を比較してその位相差に応じた出力信号を与える位相比較器と、この位相比較器からの出力を平滑するためのループフィルタと、ループフィルタ出力により発振周波数が制御される電圧制御発振器と、この電圧制御発振器の出力を分周して上記帰還信号とする分周器とからなる位相同期ループと、流体の流れる管路に対向して斜めに取り付けた1対の超音波振動子と、上記分周器からの出力により一方の振動子を励振して超音波を送信させる励振回路と、他方の振動子に発生する超音波受信信号を増幅してその出力を上記位相比較器の入力信号とする増幅器と、上記1対の振動子の送・受信を切り換える切換器とを備え、上記位相同期ループにおける位相比較器が、上記入力信号と帰還信号を受ける2つの入力端子と、ループフィルタ、電圧制御発振器および分周器を介して帰還信号の位相をそれぞれ進め、または遅らせる出力を与える2つの出力端子をもつ位相比較のための順序回路と、この2つの出力端子からの出力を受けて単一の位相比較器出力を合成するチャージポンプ回路と、それぞれ上記2出力端子に接続されて出力信号の”1”および”0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する1対の検知回路と、この検知回路の出力により上記入力信号または帰還信号に所要の論理値変更操作を加えて上記順序回路の出力信号の極性を変更する操作回路とを具備するものである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】図中の符号15、15'はデジタル順序回路5の出力端6、7に接続されて出力信号の”1”および”0”の状態の時間の大小関係を計測して出力の収斂または発散極性を検知する検知回路、16は検知回路15および15'の出力により入力信号Rまたは帰還信号Vに、後述する所要の論理値変更操作を加えてデジタル順序回路5の出力信号の極性を変更する操作回路であり、本発明のPLLにおける位相比較器101はデジタル順序回路5とチャージポンプ部8とで構成される従来の位相比較器1に、検知回路15、15'と操作回路16を設けたものとしてある。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】まずRに対しVが遅れている場合を説明すれば、図9に示すように、収斂極性の出力Uの”0”状態時間に比べると発散極性の出力Dの”0”の状態の時間は長い。同様の特徴は入力信号Rに対し帰還信号Vが進んでいる場合にも見られる。

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to improvement of a phase synchronous loop (written as a phase locked loop and PLL), and relates to the phase comparator for PLL suitable for especially the PLL method ultrasonic flowmeter.

[0002]

[Description of the Prior Art] Drawing 7 shows the composition of general PLL, and drawing 8 shows the circuit diagram of the phase comparator currently used for the conventional PLL, and it explains the outline below. It is the phase comparator which gives the output signal corresponding to [when frequency was same] the phase contrast of both signals corresponding to [when a sign 1 received an input signal R and the return signal V of a loop and the frequency of both signals differed in drawing 7] the delta frequency.

[0003] The low pass filter to which 2 carries out smooth [of the aforementioned output], and 3 are voltage controlled oscillators (VCO and brief sketch) with which oscillation frequency is controlled by the output from a low pass filter, and the oscillation frequency is usually comparatively high. 4 is a counting-down circuit for carrying out dividing of the frequency of the output from VCO, and the output serves as the return signal V to a phase comparator. A VCO output may often be used as an output of PLL, and a counting-down circuit 4 may be omitted depending on a use.

[0004] Drawing 8 shows the example of a circuit of the phase comparator 1 usually used for PLL. The left half of this circuit consists of digital sequential circuits 5 for a phase comparison, the on-off output according to the phase contrast of Signals R and V is given to a terminal 6 (a signal is written as U), and a terminal 7 (a signal is written as D), and Signals U and D are outputted from each terminal.

[0005] Moreover, the right half shown with a sign 8 is the charge pump section, compounds the single phase-comparison output according to each voltage of the aforementioned terminals 6 and 7, and gives it to a latter loop filter from a terminal 9.

[0006] Since PLL is constituted in this way, if a return signal V follows frequency first and frequency becomes the same to an input signal R, it can go into phase flattery, and the so-called synchronous state whose phase of both signals corresponded can be reached. Therefore, it is used useful in the latus ranges, such as frequency multiplication and a frequency synthesis.

[0007]

[Problem(s) to be Solved by the Invention] However, PLL which used the above usual phase comparators may not operate effectively, and explains this below. Outputs U and D are not decided only by the present R and V signal, but the sequential circuit 5 containing a flip-flop is related to progress of the past.

[0008] Four signals R, V, U, and D are "1" or "0" logic signal which all changes in time, and have 16 kinds of the combination, among those the number of stable one is 12. The direction which can shift is among 12 kinds of this state mutually, and drawing 9 showed this relation.

[0009] The duty of R and V is small, and the phase contrast between both also shows the correspondence relation between a wave when small, and the state of drawing 9 to drawing 10 here compared with 180 degrees. However, the phase comparator currently used is a thing of a mold which detects falling of R and V, and Outputs U and D are constituted so that "0" states may serve as an effective output through the charge pump 8.

[0010] When the phase of V is behind to R in drawing 10, the output gestalt which "0" conversely long to D side "0" state appears with the output state which a state appears and advances the phase of V, and which is called convergence polarity so to speak, and delays the phase of V further and which should be called emission polarity so to speak exists in the U side, and it depends on the past's progress which gestalt is taken.

[0011] A dashed line shows a solid line and the path of emission polarity for the path of convergence polarity to the right half of drawing 10. When the phase of V is progressing to R, the same situation exists. In a general PLL application, since the input signal R has been independent of PLL, even if it is in the phase of the return signal V which appears and is [even if] behind in the output of emission polarity here further, if it amounts to 360 degrees, it can go into a synchronous state after all, and will not interfere at all. Therefore, generally, distinguish the polarity of an output and it is not treated.

[0012] However, it explains per ultrasonic flowmeter of the PLL method showing an example in case an input signal R produces a problem in response to the influence of a return signal V in drawing 11. Since the signs 1-4 of this drawing are the same as that of the component of PLL shown in drawing 7, explanation is omitted.

[0013] It is one pair of ultrasonic vibrators which duct [with which the fluid which should be measured flows], 11, and 11' countered this aslant, and attached the sign 10 in drawing, and a transmitting child and another side operate [one side] as a receiving child by turns.

[0014] Moreover, the ultrasonic wave for which the excitation circuit to which a sign 12 generates a pulse synchronizing with the output of the counting-down circuit 4 in PLL, excites one vibrator, and an ultrasonic wave is made to transmit, and 13 spread the inside of a fluid is the amplifier which amplifies the ultrasonic input signal which it is detected by the vibrator of another side and generated, and is a change machine for 14 switching a ultrasonic vibrator 11 and the excitation circuit 12, and switching the propagation of an ultrasonic wave.

[0015] Although the measurement principle of the ultrasonic flowmeter of a PLL method is already well-known and cannot be touched in detail here, a system carries out self-oscillation on the frequency to which the received wave of an input signal R, i.e., a receiving child, and the transmission wave of a return signal V, i.e., a transmitting child, become in phase in the synchronous state of PLL in short, and the oscillation frequency uses the inverse number and the bird clapper of the propagation time T in a fluid of an ultrasonic wave.

[0016] By the way, by the above explanation, the input signal R of PLL is equivalent to what obtained the return signal V through the delay circuit of a time delay T electrically, and has not been independent mutually here so that clearly.

[0017] Therefore, although PLL will reach a synchronous state normally and an output frequency equal to the inverse number of the expected propagation time will be obtained when the output is above-mentioned convergence polarity if the usual phase comparator is used for this PLL, since the phase of an input signal R is also subordinate with the

phase change of a return signal V in emission polarity and it changes, there is no opportunity to reach a synchronous state.

[0018] That is, run away happens and it results in the state where the loop-filter output took maximum or the minimum value. Here, a synchronous state is not realized, therefore the measurement purpose is not attained.

[0019] For this reason, the conventional PLL formula ultrasonic flowmeter needed to adopt PLL which developed and used the special phase comparator or deformed specially, and its circuit was complicated and expensive.

[0020]

[Means for Solving the Problem] The phase synchronous loop which was made in order that this invention might solve the above technical problem, and starts this invention The phase comparator which receives two signals of an input signal and a return signal, compares the phase of both signals, and gives the output signal according to the phase contrast, Two input terminals in which are equipped with the loop filter for carrying out smooth [of the output from this phase comparator], and the voltage controlled oscillator with which oscillation frequency is controlled by the loop-filter output, and the above-mentioned phase comparator receives the two above-mentioned signal, The sequential circuit for a phase comparison with two output terminals which give the output which advances the phase of a return signal, respectively or delays it through a loop filter and a voltage controlled oscillator, The charge pump circuit which compounds a single phase comparator output in response to the output from these two output terminals, The detection circuit which is connected to the two above-mentioned output terminal, respectively, measures "1" of an output signal, and the size relation of the time of the state of "0", and detects convergence or emission polarity of an output, The operating circuit which adds necessary logical-value change operation to the above-mentioned input signal or a return signal by the output of this detection circuit, and changes the polarity of the output signal of the above-mentioned sequential circuit should be prepared.

[0021] Moreover, the phase simulation formula ultrasonic flowmeter concerning this invention The phase comparator which receives an input signal and two signals of a return signal, compares the phase of both signals, and gives the output signal according to the phase contrast, The loop filter for carrying out smooth [of the output from this phase comparator], and the voltage controlled oscillator with which oscillation frequency is controlled by the loop-filter output, The phase synchronous loop which consists of a counting-down circuit which carries out dividing of the output of this voltage controlled oscillator, and is made into the above-mentioned return signal, One pair of ultrasonic vibrators which countered the duct with which a fluid flows and were attached aslant, The excitation circuit to which excite one vibrator by the output from the above-mentioned counting-down circuit, and an ultrasonic wave is made to transmit, The amplifier which amplifies the ultrasonic input signal generated in the vibrator of another side, and makes the output the input signal of the above-mentioned phase comparator, Two input terminals in which are equipped with the change machine which switches transmission and reception of the one above-mentioned pair of vibrator, and the phase comparator in the above-mentioned phase synchronous loop receives the above-mentioned input signal and a return signal, The sequential circuit for a phase comparison with two output terminals which give the output which advances the phase of a return

signal, respectively or delays it through a loop filter, a voltage controlled oscillator, and a counting-down circuit, The charge pump circuit which compounds a single phase comparator output in response to the output from these two output terminals, The detection circuit which is connected to the two above-mentioned output terminal, respectively, measures "1" of an output signal, and the size relation of the time of the state of "0", and detects convergence or emission polarity of an output, The operating circuit which adds necessary logical-value change operation to the above-mentioned input signal or a return signal by the output of this detection circuit, and changes the polarity of the output signal of the above-mentioned sequential circuit is provided.

[0022] The embodiment of the above-mentioned means is as follows.

[0023] While constituting so that the phase contrast between the <embodiment 1> above-mentioned input signal and a return signal may become 180 degrees or less As for the inside of the state of "1", in response to the clock signal given from the exterior as the above-mentioned detection circuit, the output of the above-mentioned sequential circuit performs a rise count. In the state of "0", a down count is performed and the updown counter which detects that the time of the state of "0" exceeded the time of the state of "1" by the zero output of this counter is provided.

[0024] While constituting so that the phase contrast between the <embodiment 2> above-mentioned input signal and a return signal may become 180 degrees or less, in response to the clock signal given from the exterior as the above-mentioned detection circuit, the output of the above-mentioned sequential circuit performs a rise count into the state of "0", and the time of the state of "0" possesses the rise counter which detects having exceeded the maximum to which the time of the state of "1" may happen by the overflow output of this counter.

[0025] While the duty ratio of the <embodiment 3> above-mentioned input signal and a return signal is small, and constituting so that the phase contrast between both signals may become 180 degrees or less, the double pulse generating circuit which generates two pulses in response to the output of the above-mentioned detector as the above-mentioned operating circuit, and the logical circuit which is with this circuit output, an input signal, or a return signal, and gives an output to each input edge of the above-mentioned sequential circuit are provided.

[0026]

[Function] Since it detects that the output of the sequential circuit for a phase comparison serves as emission polarity by the detection circuit, change operation of a logical value is added to the input signal or return signal of the above-mentioned sequential circuit by the operating circuit further connected to this and the polarity of the output is changed into convergence polarity, it can prevent that the output of emission polarity is given to a loop filter.

[0027] Since continue the output of emission polarity and it is not given to a loop filter in a phase simulation formula ultrasonic flowmeter, an above-mentioned run away phenomenon is prevented and a synchronous state is always realized. That is, the cheap usual phase comparator which is excellent in a performance can be used, and it is effective.

[0028]

[Example] Drawing 1 explains per example of the 1st this invention below. In addition, since signs 1-9 correspond to drawing 7 and the sign of 8 in this drawing, explanation is

omitted.

[0029] The sign 15 in drawing, the detection circuit which it connects with the outgoing ends 6 and 7 of the digital sequential circuit 5, and 15' measures "1" of an output signal, and the size relation of the time of the state of "0", and detects convergence or emission polarity of an output, 16 is an operating circuit which adds the necessary logical-value change operation later mentioned to an input signal R or a return signal V by the output of the detection circuit 15, and changes the polarity of the output signal of the digital sequential circuit 5. The phase comparator 101 in PLL of this invention should have prepared the detection circuit 15, and 15' and an operating circuit 16 in the conventional phase comparator 1 which consists of a digital sequential circuit 5 and the charge pump section 8.

[0030] If the case where V is late to R first is explained, as shown in drawing 9, the time of the state of "0" of the output D of emission polarity is ["0" state time of Output U / polarity / convergence] / long. The same feature is seen when the return signal V is progressing to the input signal R.

[0031] If its attention is paid for example, to the output U there, when the state of "0" is longer than the state of "1", emission polarity can be read, and when reverse, convergence polarity and a bird clapper can be read. That is, if the ratio or difference of "1" of Output U and the size relation of the time of the state of "0", i.e., both, is measured, the emission polarity is detectable. It is detectable similarly about D with detection circuit 15' of the same composition as the detection circuit of 15.

[0032] Another example is shown for the more detailed example of the detection circuit 15 and 15' in drawing 2 at drawing 3. For an updown counter and 22, as for the clocked-into terminal for a down count, and 24, the clocked-into terminal for a rise count and 23 are [the clock terminal which receives the clock signal to which drawing 2 shows the example which used the updown counter as a detection circuit 15 to, the inverter for a sign 17 reversing the logical value of U, and 18 and 19 are given to from an AND circuit, and 20 is given from the exterior, and 21 / a borrow output terminal and 25] the single-shot trigger circuits for reset of 21.

[0033] When Signal U is "1", a clock signal joins an input terminal 22 through AND circuit 18, and an updown counter 21 performs a rise count. AND circuit 19 is in a cut off state in the meantime.

[0034] Next, if an output signal U will be in the state of "0", AND circuit 18 will be in a cut off state, a clock signal will join an input terminal 23 through AND circuit 19, and an updown counter 21 will perform a down count. Since the time of the state of "0" is short, although a borrow output does not come out with a convergence polarity output, since the state of "0" is long, after the state continues time to be equivalent to the state of "1" in the case of an emission polarity output, a borrow output appears in the borrow output terminal 24, and it is shown that Output U is emission polarity.

[0035] A single-shot trigger circuit 25 generates a pulse, when Output U is reversed to "1", and it has the work which resets an updown counter 21 in advance of a rise count.

[0036] The clock terminal with which 26 receives the clock signal to which other examples of the detection circuit 15 shown in drawing 3 show the simplified suitable circuit to in the phase simulation formula ultrasonic flowmeter shown in drawing 11 when the output frequency range of a voltage controlled oscillator 3 is set up comparatively narrowly, a rise counter and 27 are given to from the reset input terminal,

and 28 is given from the exterior, and 29 are the output terminals of an overflow signal. [0037] The rise counter 26 carries out the rise count of the clock with which Output U is given to the clock terminal 28 in the state of "0" although a counter is reset in the state of "1" and count operation is also forbidden.

[0038] If the number of digits of the rise counter 26 and the frequency of a clock are chosen suitably, and overflow does not take place at the maximum of the time (this is equal to the time of the state of "1" of emission polarity) of the state of "0" of convergence polarity but it is made for overflow to take place exceeding this a little, detection of emission polarity will be possible and it will not have a bad influence on a convergence polarity output.

[0039] Next, the example of the phase comparator 101 shown in drawing 4 per [in this invention] operating circuit 16 explains. Since signs 1-26 correspond to drawing 3 and 7 or 8 signs in this drawing, explanation is omitted.

[0040] Sign 26' in drawing is the rise counter 26 and the same rise counter, it is equivalent to detector 15' of Output D, and 29' is the overflow output terminal. A sign 30 is a double pulse generating circuit which generates two pulses according to the overflow output which appears in 29 or 29', the composition consists of AND circuit 31, 31' and an inverter 32, and 32', and 33 and 33' is the output terminal.

[0041] A sign 34 is a logical circuit for performing logical operation to an input signal R or a return signal V by the output of the double pulse generating circuit 30, and the composition consists of AND circuit 35 and 35', and it makes R' and V' the output of AND circuit 35 and 35', respectively. The control unit 11 shown in drawing 1 consists of the double pulse generating circuits 30 and logical circuits 34 which were mentioned above.

[0042] The example shown in drawing 4 applies and is suitable for R of the wave shown in drawing 10 , and V input, and it uses that the overflow output has the pulse width for two periods of a clock signal as the rise counter 26 and 26' using a BCD counter.

Therefore, it is with an output terminal 29, and the overflow output and clock signal which are obtained from 29', and an output serves as two pulses of a positive clock.

[0043] Since what is necessary is just to change R or V into the state of "0" twice, respectively when emission polarity is detected by state #11 or #3, as the example shown in drawing 10 described, logical-value reversal of the output of AND circuit 31 and 31' is carried out by the inverter 32 and 32', the output of an inverter 32 is applied to AND circuit 35', and the output of inverter 32' is applied to AND circuit 35. As a result, the output of the digital sequential circuit 5 shifts to convergence polarity from emission polarity. Drawing 5 is the wave of the signal at this time, the case where Signals R and V are behind in the phase of V to R is shown, and Outputs U and D have shown the case where operation of the borrow output terminal 24 is not performed per wave of emission polarity, as the solid line. Since the output of the overflow output terminal 29 gives off the positive overflow pulse of 2 pulse width of a clock at the time beyond time [to be equivalent to the state of "1"] width of face after D takes the state of "0", the output wave of output terminal 33' turns into a wave which falls to the state of "0" twice from the state of "1" after all. further -- this output and R -- and output R' also corresponds twice and will be in "0" states As this mentioned above, it moves from a state to #6 from #11, and if Output D receives the change to "1" from "0" and it results in #2 through #7 further, U will change to "0" from "1" and a state will amount to #3 here. R' and V' at this time are

shown in drawing 5 . Moreover, a dashed line shows the wave after operation of Outputs U and D. U and D become a convergence polarity output in the cycle after R and V:

[0044] Although considered as the combination of the double pulse generating circuit 30 and a logical circuit 34 as a control unit 16 in the example of drawing 4 , if one pair of shift registers are used instead of the double pulse generating circuit 30, logical-value change operation more complicated than this example can also be performed.

[0045] Moreover, it is also possible to execute the function of the above-mentioned detection circuit 15, and a 15' and an operating circuit 16 by proxy by the microprocessor. Although output signals U and D were furthermore used by this invention, the output of the charge pump circuit 8 can also be used instead. However, it is necessary to opt for the output used in this case by the output, the output from 7, or another means from an output terminal 6 of the digital sequential circuit 5.

[0046] Next, drawing 6 explains the ultrasonic flowmeter concerning the 2nd this invention. In addition, since signs 1-4, and 10-14 correspond to the sign of drawing 11 in drawing and a sign 15, 15', and 16 correspond to the sign of drawing 1 , explanation is omitted.

[0047] Since the emission polarity of the outputs U and D of the sequential circuit 5 of the phase comparator 101 shown in drawing 1 is detected by the detection circuit 15 and 15' and necessary logical-value change operation is added to an input signal R or a return signal V by the operating circuit 16, without the difference of this invention and the conventional example of drawing 11 needing the phase comparator developed specially, emission polarity is changed into convergence polarity into a short time. Therefore, the so-called run away phenomenon does not happen, but the normal measurement of it is attained.

[0048] The phase synchronous loop concerning this invention can be used besides an ultrasonic flowmeter. That is, if between the excitation circuit 12 and amplifier 13 is transposed to an electric delay circuit in drawing 6 , this circuit will enable measurement of the time delay (inverse number) in high resolution from the output frequency of a voltage controlled oscillator 3.

[0049] Moreover, in drawing 6 , the acoustic velocity in a fluid is measurable with high resolution from the output frequency of the voltage controlled oscillator 3 in case the rate of flow of a fluid is zero. Furthermore, the temperature characteristic of acoustic velocity is able to measure the temperature of a fluid with high resolution from acoustic velocity using a known fluid.

[0050]

[Effect of the Invention] Since emission polarity can be changed into convergence polarity by detecting an emission polarity output and operating a phase comparator input or a return signal from the sequential-circuit output in a phase comparator according to this invention indicated to have explained with the example above by the claim 1, an input signal and a return signal can apply a phase synchronous loop effectively in the application which has not been independent mutually.

[0051] Moreover, according to the example shown in embodiments 1, 2, and 3, the phase synchronous loop of comparatively cheap and easy circuitry can be obtained, further, without using a special phase comparator and a deformation circuit, according to this invention indicated by the claim 2, a run away phenomenon can be prevented and normal measurement can be enabled.

[Translation done.]